

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

CLIPPEDIMAGE= JP360180147A  
PAT-NO: JP360180147A  
DOCUMENT-IDENTIFIER: JP 60180147 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: September 13, 1985

INVENTOR-INFORMATION:

NAME  
SONOBE, TOSHIO  
TERADA, MASAKAZU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPON DENSO CO LTD	N/A

APPL-NO: JP59035826

APPL-DATE: February 27, 1984

INT-CL (IPC): H01L021/92; H01L021/312

US-CL-CURRENT: 438/FOR.343, 438/FOR.489 , 148/DIG.43 , 257/780  
, 438/614

ABSTRACT:

PURPOSE: To prevent a permeation to a wiring layer of moisture from cracks, pin holes, etc. generated in a first insulating layer, and to lengthen the life of an element and improve reliability by forming a second insulating layer between a bump and the first insulating layer protecting the wiring layer.

CONSTITUTION: An aluminum wiring layer 2 is shaped on an silicon substrate 1, and first and second insulating layers 3, 4 with opening sections 10 at predetermined positions where a bump is formed are shaped on the upper surface of the layer 2 and on the substrate 1. A contact metallic layer 5 is formed on the surface of the substrate, copper is shaped selectively through an electroplating method to obtain the bump 6, and a solder layer 7 is formed so as to coat the bump 6. Since the surface of the first insulating layer 3 is coated completely with the second insulating layer 4 or the contact metallic

layer 5, the wiring layer 2 is not exposed even when pin holes and cracks are generated in the first insulating film 3, and the corrosion of the wiring layer 2 can be prevented.

COPYRIGHT: (C)1985, JPO&Japio

## ⑰ 公開特許公報 (A) 昭60-180147

⑯ Int.CI.

H 01 L 21/92  
21/312

識別記号

庁内整理番号

7638-5F  
7739-5F

⑯ 公開 昭和60年(1985)9月13日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特願 昭59-35826

⑮ 出願 昭59(1984)2月27日

⑯ 発明者 園部俊夫 割谷市昭和町1丁目1番地 日本電装株式会社内  
 ⑯ 発明者 寺田雅一 割谷市昭和町1丁目1番地 日本電装株式会社内  
 ⑯ 出願人 日本電装株式会社 割谷市昭和町1丁目1番地  
 ⑯ 代理人 弁理士 大川宏 外2名

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) 半導体素子を形成した半導体基板と、該半導体基板上に形成された配線層と、該配線層の一部を開口部とし、該開口部を除いて、前記半導体基板の表面に形成された第1の絶縁層と、前記開口部の配線層と電気的に接合し、前記第1の絶縁層にも接合し、支持されるバンプと、から成る半導体装置において、

前記第1の絶縁層の開口部と同心的に設けられ、その開口面積よりも、より大きな開口面積の開口部を有する第2の絶縁層を、前記半導体基板上に形成し、前記バンプは、前記配線層と電気的に接合し、前記第1の絶縁層と、前記第2の絶縁層とで支持されていることを特徴とする半導体装置。

(2) 前記第2の絶縁層は、プラスチックスから成ることを特徴とする半導体装置。

## 3. 発明の詳細な説明

## [産業上の利用分野]

本発明は、半導体装置、特にフリップチップ型の集積回路において、表面保護性能を向上させ、以て素子寿命および信頼性を向上させた半導体装置に関する。

## [従来技術]

従来、集積回路、特にシリコンを基板とする半導体装置は、その基板上にアルミニウムを用いた配線バターンを形成し、その表面に二酸化シリコン(SiO<sub>2</sub>)又は窒化シリコン(SiN)等の絶縁膜を形成したものが使用されている。しかしながら、この絶縁膜は、ピンホール、クラック等の欠陥が存在し、該欠陥が存在する半導体装置を、例えば、高温高湿雰囲気下で使用すると、この欠陥部から水分が侵入し、アルミニウムの配線の腐蝕を生じる等の欠点がある。又、バンプの熱膨張によるストレス等のため、それを支持する上記絶縁膜にクラックが発生し易い等の欠点があり、半導体装置の素子寿命及び信頼性の低下をもたらす原因となっていた。

## 【発明の目的】

そこで本発明は、上記の欠点を改良するために成されたものであり、前記絶縁膜の欠陥を留う第2の絶縁膜を形成することにより、すでに発生したクラックからの水分の侵透を防止し、かつ、バンプを弾性的に第2の絶縁層で支持することによりバンプの熱ストレスに伴う第1の絶縁層でのクラックの発生を防止することにより半導体装置の寿命および信頼性を改善することを目的とする。

## 【発明の構成】

即ち、本発明は、半導体素子を形成した半導体基板と、該半導体基板上に形成された配線層と、該配線層の一部を開口部とし、該開口部を除いて、前記半導体基板の表面に形成された第1の絶縁層と、前記開口部の配線層と電気的に接合し、前記第1の絶縁層にも接合し、支持されるバンプと、から成る半導体装置において、

前記第1の絶縁層の開口部と同心的に設けられ、その開口面積よりも、より大きな開口面積の開口部を有する第2の絶縁層を、前記半導体基板上に

- 3 -

を有し、外部から水分の侵入により、その下層に形成された配線層を腐蝕するという欠点がある。又この銅から成るバンプの熱膨張によりそのバンプを支持する第1の絶縁層にクラックが発生するという欠点がある。

本発明はこのような半導体装置において、さらに第1の絶縁層を留う第2の絶縁層を形成したことを探としている。この第2の絶縁層は第1の絶縁層のバンプを設ける開口部と同心的に設けられた開口部を有し、その開口部の開口面積は、より広く大きなものとなっている。即ち開口部の上部からみると配線層、第1の絶縁層、第2の絶縁層が階段的に形成されている。この第2の絶縁層はポリイミド等の合成樹脂で形成される。この合成樹脂は熱可塑性、熱硬化性の両方のものが使用できるけれども、成形時に流動性があるのが望ましい。これにより第1の絶縁層を平坦に覆うことができる。又第2の絶縁層は弾性力を有することが望ましい。第2の絶縁層をバンプと第1の絶縁層との間に介在させることにより、そのバッファ

形成し、前記バンプは、前記配線層と電気的に接合し、前記第1の絶縁層と前記第2の絶縁層とで支持されていることを特徴とする半導体装置に関する。

本発明の半導体装置は集積回路がパターン形成されたフリップチップをバンプを介して装置基板にフェースダウンに配設した半導体装置である。本発明はこのフリップチップのバンプの取り付け構造に関する。従来のフリップチップ型の半導体装置は半導体素子基板上に例えば、アルミニウムによる電気配線層がパターン成形されており、その配線層の一部分を開口部として、その開口部を除く前記半導体基板の表面に第1の絶縁層が形成されている。この絶縁層は酸化シリコン又は窒化シリコン等から成るものである。そして、この開口部に銅から成るバンプが形成され、このバンプは前記の配線層と電気的に接続され、かつ、第1の絶縁層と機械的に結合し、支持されているものである。

ところがこの絶縁層はピンホール、クラック等

- 4 -

を有し、外部から水分の侵入により、その下層に形成された配線層を腐蝕するという欠点がある。又この銅から成るバンプの熱膨張によりそのバンプを支持する第1の絶縁層にクラックが発生するという欠点がある。

効果によりバンプの熱ストレスを吸収し、直接第1の絶縁層にストレスを伝達することを遮断し、以てクラックの発生を防止することができる。又第2の絶縁層は第1の絶縁層を平坦に覆っているために水分が第1の絶縁層を介してアルミニウムに到達することができる。又機械的な接続は1開口部における第1の絶縁層とバンプとの間で保たれているので機械的な接着強度も強い。このように本発明は第2の絶縁層を介在させていることを特徴としている。以下本発明を具体的な実施例に基づいて説明する。

## 【実施例】

第1図から第5図は本発明の具体的な実施例にかかる半導体装置の製造工程を説明する本装置の断面図である。第1図に示すように半導体装置を形成したシリコンから成る半導体基板1の上にアルミニウムからなる配線層2が0.5~2μ程度の厚さで形成されている。この配線層2の上面及び半導体基板1上には、バンプを取り付ける所定の位置に開口部10を有する第1の絶縁層3が、

- 5 -

- 6 -

形成されている。この第1の絶縁層3は二酸化シリコン(SiO<sub>2</sub>)をスパッタリングによって0.5~2μの厚さに形成したものである。次に第2図に示すように第1の絶縁層3の表面に第2の絶縁層4が形成されている。この第2の絶縁層はポリイミドで形成され、膜厚0.5~4μである。この第2の絶縁層4は開口部12を有している。この開口部12はバンプを配設する位置に設けられており、前記第1の絶縁層3に形成された開口部10と同心的に配設され、その開口部の面積よりも広く形成されている。即ち、第1の絶縁層3、第2の絶縁層4は、バンプを配設するに際し、階段状に開口部を形成している。

次に第3図に示すように第2図で形成された半導体基板の表面上にクロムー銅からなるコンタクトメタル層5が形成される。このコンタクトメタル層5は、他にチタンニッケルによって作成することもできる。次のコンタクトメタル層5の表面上において、前記第1の絶縁層3および第2の絶縁層4の開口部に対応する位置に、銅を電気

- 7 -

配線層2の段差部分やヒロック等による凹凸部も充分に平坦に緩和することができ、従ってハンダ層7が、横方向に広がり、バンプ6と電気的に、別系統の配線層2の真上に形成されても、第2の絶縁層によって厚く積われているのでリーク電流の発生や放電等による不具合を解消することができる。従来の第2の絶縁層がない半導体装置のショート率が2/10000であるのに対して、本構造の半導体装置はショート率が0/10000であった。又第1の絶縁層のクラックの発生率は、従来構造のものが12/100であるのに対して本構造の半導体装置は、0/1000であった。このようにして、本構造の半導体装置はクラックの発生率およびショート率を減少させることができた。

一般に、プラスチックス等からなる第2の絶縁層を形成すると、バンプ6との接着強度が低下することが考えられる。このことを実験により確かめたのが第6図である。従来の第2の絶縁層4が介在しない場合には、バンプと第1の絶縁層との

メッキ法により20~40μの厚さに選択的に形成し、バンプ6を得る。バンプ6の付け根部の外縁6,1は前記第2の絶縁層の開口部を形成する外縁4,1に対して5~20μ程度外側になるように形成されている。即ち、この幅の第2の絶縁層によってバンプを弾性的に支持し、バンプの振動を吸収する。次に第4図に示すようにコンタクトメタル層5の露出部分を除去し、その後バンプ6を積み重ねるようにハンダ層7を形成する。次に第5図に示すようにハンダ層7を配線基板8上に実験する。このようにしてフリップチップ(1)をフェイスダウンした半導体装置が形成される。

このような構造の半導体装置は、第1の絶縁層3が第2の絶縁層4又はコンタクトメタル層5によってその表面が完全に覆われているため、第1の絶縁層3にピンホールやクラックが発生しても配線層2が表面に露出することが少くない。このために配線層2の腐蝕を防止することができる。又第2の絶縁層4は成形時に柔軟性を有したプラスチックス等で形成されるために、平坦性に富み、

- 8 -

接着強度は210g/バンプと大きい。しかし、第1の絶縁層全面に第2の絶縁層を形成した場合には接着強度が70g/バンプと低下する。しかし、本発明の構造のようにバンプと第1の絶縁層との接合面を形成することによりバンプの接着強度は200g/バンプと従来装置とあまり変わらないものが得られた。このようにして本発明の半導体装置のバンプの接着強度は第2の絶縁層を設けても低下していないことがわかる。

#### [発明の効果]

以上要するに本発明はフリップチップ型の半導体装置において、そのフリップチップの配設構造を工夫したものであり、バンプと、配線層を保護する第1の絶縁層との間にさらに第2の絶縁層を形成したことを特徴としている。このように第2の絶縁層が第1の絶縁層の表面に形成されているために、第1の絶縁層で生じたクラック、ピンホール等によって、水分が配線層へ浸透するのを防止することができる。従って電子の寿命および信頼性を向上させることができる。又第2の絶縁層

- 9 -

- 10 -

は弾性のあるプラスチックス等から形成されているために、その弾性力によりバンプ6の熱ストレスを吸収し、第1の絶縁層にクラックを発生することを防止することができる。又バンプを設ける開口部は、段階的に形成されているのでバンプは第1の絶縁層と接合し、バンプの機械的接着強度はこの接合面で保持されるために、バンプの接着強度が低下しない。

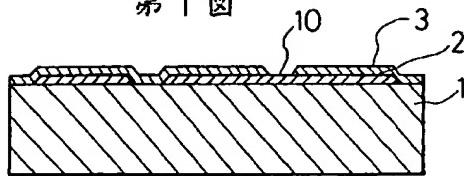
#### 4. 図面の簡単な説明

第1図は本発明の具体的な一実施例にかかる半導体装置の製作の一工程を説明する本装置の断面図である。第2、第3、第4、第5図は同様に同実施例の他の工程を示した本装置の断面図である。第6図はバンプの引張り強度試験の特性を示した特性図である。

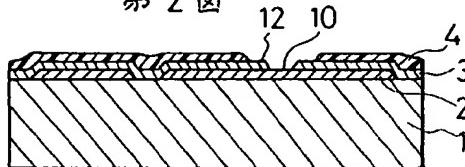
- |             |            |
|-------------|------------|
| 1 … 半導体基板   | 2 … 配線層    |
| 3 … 第1の絶縁層  | 4 … 第2の絶縁層 |
| 10、12 … 開口部 | 6 … バンプ    |
| 7 … ハンダ層    | 8 … 配線基板   |

- 11 -

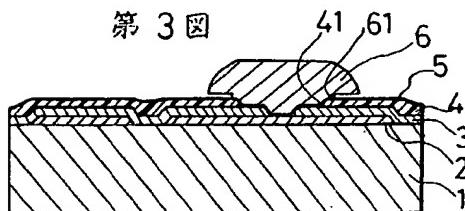
第1図



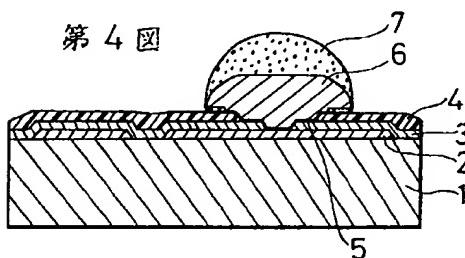
第2図



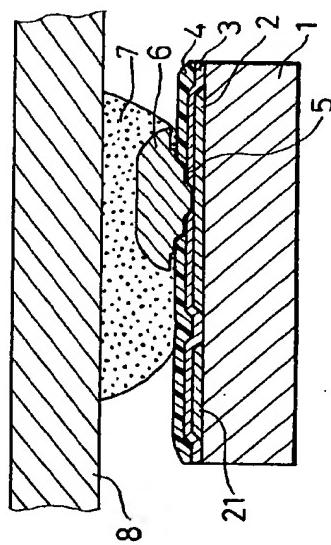
第3図



第4図



第5図



第6図

